

## 請 求 の 範 囲

1. 不揮発性メモリトランジスタを有する、半導体装置であって、

前記不揮発性メモリトランジスタが形成された半導体層の上に、層間絶縁層が設けられ、

前記層間絶縁層は、前記不揮発性メモリトランジスタと、前記半導体層の上方に形成された導電層とを電氣的に分離するための絶縁層であり、

前記層間絶縁層は、窒化物を含む層を含む、半導体装置。

2. 請求項 1 において、

前記窒化物を含む層は、前記層間絶縁層の最下層として設けられている、半導体装置。

3. 請求項 1 において、

前記窒化物を含む層は、前記層間絶縁層の最上層として設けられている、半導体装置。

4. 請求項 1 において、

前記窒化物を含む層は、前記層間絶縁層の中間層として設けられている、半導体装置。

5. 請求項 1 において、

前記窒化物は、窒化シリコンおよび酸化窒化シリコンの少なくとも一方である、半導体装置。

6. 請求項 1 において、

前記不揮発性メモリトランジスタは、前記半導体層上に、ゲート絶縁層を介して配置されたフローティングゲートと、

前記フローティングゲートの少なくとも一部と接触する、トンネル絶縁層と、前記トンネル絶縁層の上に形成されたコントロールゲートと、

前記半導体層内に形成された、ソース領域およびドレイン領域とを含む、半導体装置。

7. 請求項 1 において、

前記不揮発性メモリトランジスタは、前記半導体層の上に、ゲート絶縁層を介して配置されたフローティングゲートと、

前記フローティングゲートの上に、中間絶縁層を介して配置されたコントロールゲートと、

前記半導体層内に形成された、ソース領域およびドレイン領域とを含む、半導体装置。

8. 半導体層に形成された不揮発性メモリトランジスタを有する半導体装置であって、

前記半導体層および前記不揮発性メモリトランジスタの上に設けられた層間絶縁層を有し、

前記層間絶縁層は、前記層間絶縁層の最下層として設けられた酸化膜と、前記酸化膜上に設けられた窒化物を含む層と、を含むことを特徴とする半導体装置。

9. 請求項8において、

前記酸化膜の厚さは、10～80nmである、半導体装置。

10. 請求項8において、

前記酸化膜の厚さは、30～70nmである、半導体装置。

11. 請求項8において、

前記酸化膜は、TEOSを用いた減圧CVD法によって形成された酸化膜である、半導体装置。

12. 以下の工程を有する、半導体装置の製造方法。

(a) 半導体層において、不揮発性メモリトランジスタを形成する工程、

(b) 前記不揮発性メモリトランジスタが形成された半導体層の上に、層間絶縁層を形成する工程であって、

前記層間絶縁層は、前記半導体層の上方に形成される配線層と、該不揮発性メモリトランジスタとを電気的に分離するための絶縁層であり、

前記層間絶縁層は、窒化物を含む層を含む、半導体装置の製造方法。

13. 請求項12において、

前記窒化物を含む層は、前記層間絶縁層の最下層として設けられている、半導体装置の製造方法。

14. 請求項12において、

前記窒化物を含む層は、前記層間絶縁層の最上層として設けられている、半導体装置の製造方法。

15. 請求項12において、

前記窒化物を含む層は、前記層間絶縁層の中間層として設けられている、半導体装置の製造方法。

16. 請求項12において、

前記窒化物は、窒化シリコンおよび酸化窒化シリコンの少なくとも一方である、半導体装置の製造方法。

17. 請求項12において、

前記不揮発性メモリトランジスタは、前記半導体層上に、ゲート絶縁層を介して配置されたフローティングゲートと、

前記フローティングゲートの少なくとも一部と接触する、トンネル絶縁層と、前記トンネル絶縁層の上に形成されたコントロールゲートと、

前記半導体層内に形成された、ソース領域およびドレイン領域とを含む、半導体装置の製造方法。

18. 請求項12において、

前記不揮発性メモリトランジスタは、前記半導体層の上に、ゲート絶縁層を介して配置されたフローティングゲートと、

前記フローティングゲートの上に、中間絶縁層を介して配置されたコントロールゲートと、

前記半導体層内に形成された、ソース領域およびドレイン領域とを含む、半導体装置の製造方法。

10072658-020702